

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-333952

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H01L 21/336
H01L 29/784

(21)Application number : 05-142672

(71)Applicant : KYOCERA CORP

(22)Date of filing : 21.05.1993

(72)Inventor : HIROSE MITSURU

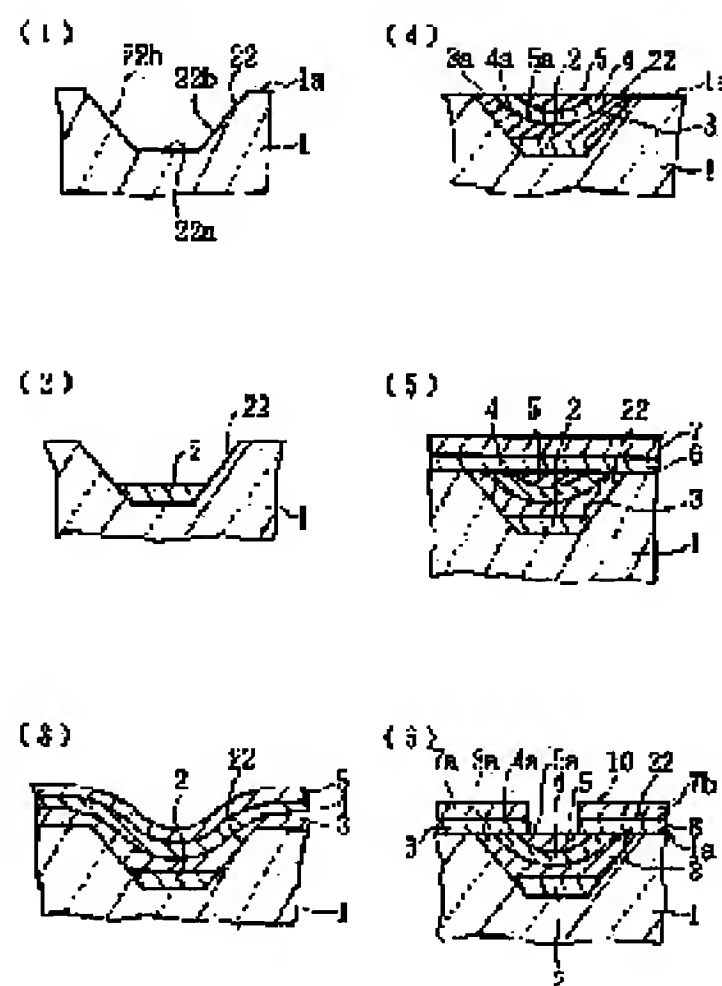
(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To eliminate the formation of steps between source and drain electrodes and semiconductor layers by arranging a gate electrode and gate insulating film in a groove formed on the front side of a substrate and, at the same time, the source and drain electrode on the outside of the groove.

CONSTITUTION: A groove 22 is formed on the front side of a substrate 1 and a gate electrode 2 and gate insulating film 3 are arranged in the groove. At the same time, 71 source and drain electrodes 7a and 7b are arranged on the outside of the groove 22. As a result, steps formed between the electrodes 7a and 7b and semiconductor layers 4 and 6 can be reduced or no steps are formed between the electrodes 7a and 7b and

layers 4 and 6. In addition, since the film 3 is formed in the groove 22, the step formed on the film 3 can be made smaller in height or eliminated even when the thickness of the gate electrode 2 is increased. Consequently, the occurrence of defects in the film 3 can be suppressed. Therefore, the occurrence of defective products can be prevented and, accordingly, the yield of this thin film transistor can be improved even when the manufacturing process is made shorter.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333952

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. ⁵ H 0 1 L 21/336 29/784	識別記号 9056-4M	片内整理番号 H 0 1 L 29/ 78	F I 3 1 1 Y	技術表示箇所
--	-----------------	--------------------------	----------------	--------

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平5-142672

(22) 出願日 平成5年(1993)5月21日

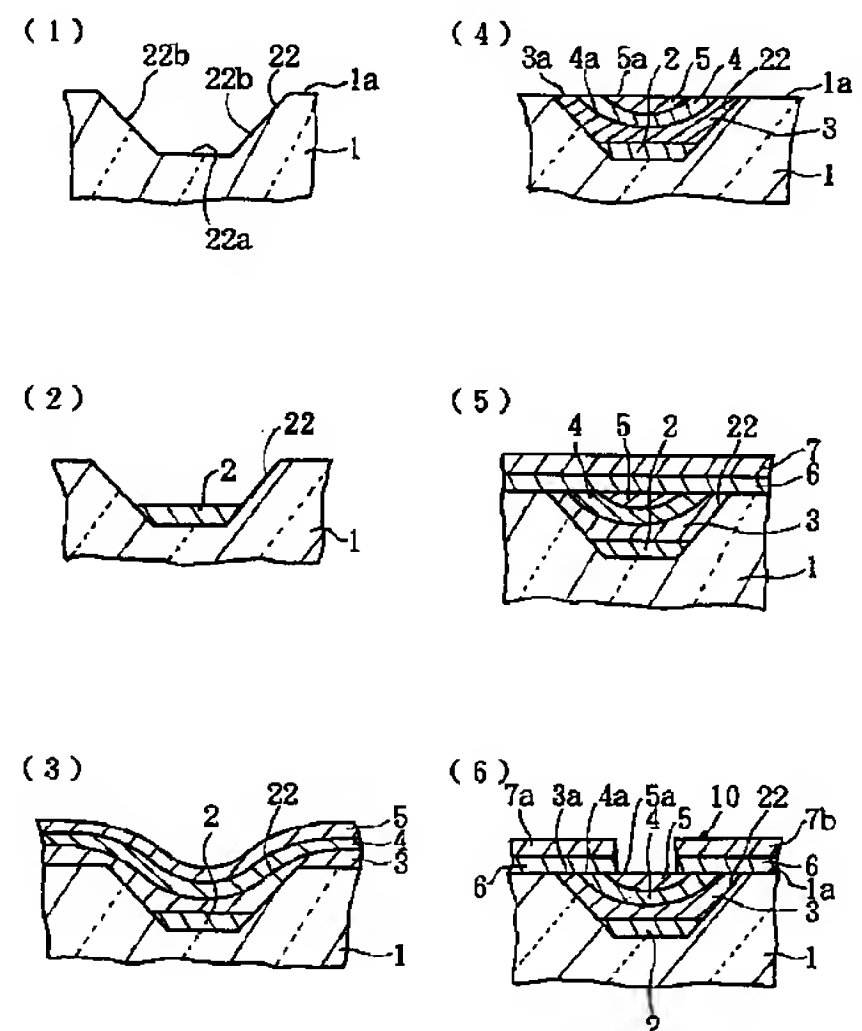
(71) 出願人 000006633
京セラ株式会社
京都府京都市山科区東野北井ノ上町5番地の22
(72) 発明者 広瀬 満
滋賀県八日市市蛇溝町長谷野1166番地の6
京セラ株式会社滋賀工場内
(74) 代理人 弁理士 根本 進

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【構成】 基板1上に設けられるゲート電極2、ゲート絶縁膜3、半導体層4、6ソース電極7aおよびドレイン電極7bを備える逆スタガー構造の薄膜トランジスタである。その基板1の表面側に溝22が設けられ、その溝22内に前記ゲート電極2と前記ゲート絶縁膜3の少なくとも一部とが配置される。その溝外にソース電極7aとドレイン電極7bとが配置される。

【効果】 ソース、ドレイン電極および半導体層に大きな段差ができることはないので、断線を防止でき、また、ゲート絶縁膜における欠陥の発生を抑制してゲート電極とソース、ドレイン電極との間でのショートを防止でき、歩留りを向上できる。



【特許請求の範囲】

【請求項1】 基板上に設けられるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極を備える逆スタガー構造の薄膜トランジスタにおいて、その基板の表面側に溝が設けられ、その溝内に前記ゲート電極と前記ゲート絶縁膜の少なくとも一部とが配置されると共にその溝外に前記ソース電極と前記ドレイン電極とが配置されていることを特徴とする薄膜トランジスタ。

【請求項2】 基板上に設けられるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極を備える逆スタガー構造の薄膜トランジスタにおいて、その基板の表面側に溝が設けられ、その溝内に前記ゲート電極を電解メッキにより形成するためのメッキ電極が設けられ、その溝内に前記ゲート電極と前記ゲート絶縁膜の一部とが配置されると共にその溝外に前記ソース電極と前記ドレイン電極とが配置されていることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス方式のLCDにおいて用いられる逆スタガー構造の薄膜トランジスタに関する。

【0002】

【従来の技術】図3に示す従来の逆スタガー構造の薄膜トランジスタ100は、基板101の表面101a上に形成されるゲート電極102と、このゲート電極102上に形成されるゲート絶縁膜103と、このゲート絶縁膜103上に水素化非晶質シリコン等により形成される半導体薄膜104と、この半導体薄膜104上にリン等をドーパされたマイクロクリスタルシリコン等により形成される n^+ 型半導体薄膜106と、この n^+ 型半導体薄膜106上に形成されるソース電極107aおよびドレイン電極107bを備え、また、 n^+ 型半導体薄膜106のチャネル部のエッチングの際に半導体薄膜104がエッチングされてしまうのを防止するためエッチングストッパー105が設けられている。

【0003】

【発明が解決しようとする課題】上記従来の薄膜トランジスタ100の全構成要素は、基板101の平坦な表面101a上に形成されている。そのため、ソース、ドレイン電極107a、107bや半導体薄膜104、106に大きな段差ができ、断線をおこさせる原因になっている。また、ゲート電極102を低抵抗化のために厚くすると、ゲート絶縁膜103にも大きな段差ができて内部にボイド等の欠陥が生じ易くなり、ゲート電極102とソース、ドレイン電極107a、107bとの間でのショートが発生し易くなる。

【0004】また、上記従来の薄膜トランジスタ100では、ゲート電極102を形成するためのエッチング、半導体薄膜104を形成するためのエッチング、エッチ

ングストッパー105を形成するためのエッチング、および n^+ 型半導体薄膜106とソース、ドレイン電極107a、107bを形成するためのエッチングは、それぞれ異なるレジストパターンを用いて行なうものである。そのため、各エッチング毎にレジストをマスクを介し露光してレジストパターンを形成する工程が必要になり、製造工程が長くなって不良品が発生し易く、歩留りを低下させる原因の一つになっている。

【0005】本発明は、上記従来技術の問題を解決することのできる薄膜トランジスタの製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本件第1発明は、基板上に設けられるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極を備える逆スタガー構造の薄膜トランジスタにおいて、その基板の表面側に溝が設けられ、その溝内に前記ゲート電極と前記ゲート絶縁膜の少なくとも一部とが配置されると共にその溝外に前記ソース電極と前記ドレイン電極とが配置されていることを特徴とする。

【0007】本件第2発明は、基板上に設けられるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極を備える逆スタガー構造の薄膜トランジスタにおいて、その基板の表面側に溝が設けられ、その溝内に前記ゲート電極を電解メッキにより形成するためのメッキ電極が設けられ、その溝内に前記ゲート電極と前記ゲート絶縁膜の一部とが配置されると共にその溝外に前記ソース電極と前記ドレイン電極とが配置されていることを特徴とする。

【0008】

【作用】本件各発明の逆スタガー構造の薄膜トランジスタの構成によれば、基板の表面側に設けられる溝内にゲート電極とゲート絶縁膜の少なくとも一部とが配置されるので、基板の平坦な表面上に薄膜トランジスタの全構成要素を形成するのに比べ、そのソース、ドレイン電極および半導体層に生じる段差を小さくし、あるいは全く段差をなくすることが可能になる。また、そのゲート電極の厚さを大きくしても、ゲート絶縁膜の少なくとも一部は溝内に形成されるので、そのゲート絶縁膜にできる段差を小さくでき、あるいは全く段差をなくすることが可能になるので、そのゲート絶縁膜における欠陥の発生を抑制できる。

【0009】さらに、本件第2発明の構成によれば、基板の表面側に設けられる溝内に配置されるゲート電極を電解メッキによって形成することができるので、ゲート電極形成のためのエッチング工程が不要になる。

【0010】

【実施例】以下、図1を参照して第1実施例の薄膜トランジスタ10の構成を製造方法と共に説明する。

3

【0011】まず、図1の(1)に示すように、ほう珪酸ガラス等の透明基板1自体の表面側を加工して溝22を設ける。この溝22の底面22aは基板1の表面1aに平行とされ、また、溝22の両側面22bは基板1の表面1aに向かうに従い互いに離れる方向に傾斜する。

【0012】次に、図1の(2)に示すように、その溝22内にゲート電極2を形成する。このゲート電極2は、Cr、Ta、Mo、Al及びその合金等を500Å〜1500Å程度の厚さにスパッタ法等により堆積し、この堆積層をレジストパターンを用いてエッチングすることによって形成できる。

【0013】次に、図1の(3)に示すように、そのゲート電極2上にゲート絶縁膜3、半導体層の一部を構成する第1の半導体薄膜4およびエッチングストッパ5を連続して成膜する。そのゲート絶縁膜3は、SiN_x、SiO₂あるいはTaO_x等を2000Å〜6000Å程度の厚さに堆積することによって形成できる。その第1の半導体薄膜4は、例えば不純物をドーパされていない水素化非晶質シリコンを100Å〜1000Å程度の厚さに堆積することによって形成できる。そのエッチングストッパ5は、例えばSiN_xを1000Å程度の厚さに堆積することによって形成できる。本実施例では、前記溝22内にゲート電極2、ゲート絶縁膜3、半導体薄膜4およびエッチングストッパ5が配置されるように、その溝22の深さと各薄膜2、3、4、5の堆積厚さとが定められている。

【0014】次に、図1の(4)に示すように、基板1の表面1aよりも上方に堆積されたゲート絶縁膜3、半導体薄膜4およびエッチングストッパ5を機械研磨により除去することで、その溝22内のゲート絶縁膜3、半導体薄膜4およびエッチングストッパ5の各上面3a、4a、5aを基板1の表面1aと面一にする。

【0015】次に、図1の(5)に示すように、半導体層の残部を構成する第2の半導体薄膜6と電極用金属薄膜7とを連続して成膜する。その第2の半導体薄膜6はn⁺型であって、例えばリンをドーパされたマイクロクリスタルシリコンを100Å〜1000Å程度の厚さに堆積することによって形成できる。その電極用金属薄膜7は、TiあるいはMoSi等を200Å〜1000Å程度の厚さに堆積したり、Alを2000Å〜6000Å程度の厚さに堆積することによって形成できる。

【0016】しかる後に、図1の(6)に示すように、電極用金属薄膜7のチャネル部に対応する部分をレジストパターンを用いてエッチングにより除去してソース電極7aとドレイン電極7bとを形成し、このソース電極7aとドレイン電極7bとをマスクとしてn⁺型半導体薄膜6のチャネル部に対応する部分をエッチングにより除去することで、薄膜トランジスタ10を構成する。

【0017】上記薄膜トランジスタ10においては、基板1に設けられる溝22内にゲート電極2、ゲート絶縁

4

膜3、半導体層の一部を構成する第1の半導体薄膜4およびエッチングストッパ5を配置し、その溝22外に半導体層の残部を構成するn⁺型の第2の半導体薄膜6とソース、ドレイン電極7a、7bを配置し、さらに、その溝22内のゲート絶縁膜3、半導体薄膜4およびエッチングストッパ5の各上面3a、4a、5aを基板1の表面1aと面一にしているため、ソース、ドレイン電極7a、7bおよび半導体薄膜4、6における段差は全くない。これにより、ソース電極、ドレイン電極7a、7bの断線を防止できる。また、ゲート電極2の厚さを大きくしても、ゲート絶縁膜3に段差が生じることはないため、ゲート絶縁膜3における欠陥の発生を抑制し、ゲート電極2とソース、ドレイン電極7a、7bとの間でのショートを防止できる。

【0018】以下、図2を参照して第2実施例の薄膜トランジスタ30の構成を製造方法と共に説明する。この第2実施例の薄膜トランジスタ30は、アクティブマトリクス方式のLCDにおける画素の駆動に用いられるものである。

【0019】まず、図2の(1)に示すように、ほう珪酸ガラス等の透明なLCD基板31の表面31a上に絶縁膜29を形成し、この絶縁膜29にエッチングにより溝52を設ける。この溝52の底面は基板31の表面31aにより構成され、また、その溝52の両側面52bは絶縁膜29の上面29aに向かうに従い互いに離れる方向に傾斜する。その絶縁膜29は、SiN_x、SiO₂、TaO_xあるいはポリイミド系樹脂等を堆積することによって形成できる。

【0020】次に、図2の(2)に示すように、その溝52内に導電性材料によりメッキ電極53を形成する。そのメッキ電極53は、前記絶縁膜29の上面29aに形成される画素電極54と共通のITOからなる。すなわち、その絶縁膜29の上面29aと溝52の内面の全域に亘りITOを堆積し、レジストをマスクを介し露光して形成したレジストパターンを用いてエッチングすることで、そのメッキ電極53と画素電極54とを形成する。

【0021】次に、図2の(3)に示すように、電解メッキ液内でメッキ電極53に電圧を印可することで、その溝52内にゲート電極32を形成する。そのゲート電極32の材料としては例えばCuを用いることができる。

【0022】次に、図2の(4)に示すように、その溝52内と絶縁膜29の上面29aとに亘り、第1のゲート絶縁膜33aを設ける。この第1のゲート絶縁膜33aは、その溝52と絶縁膜29の上面29aとの境界で大きな段差が生じることをないステップカバレッジの良いものが用いられ、例えば、スピンコーターを用いてSOG (Spin on glass)をコーティングしたり、CVD装置によりTCOS (テトラエトキシシラン、Si(OC

10

20

30

40

50

5

2 H₅)₄)を気相成長させて堆積することで形成する。本実施例では、その溝52内にメッキ電極53、ゲート電極32および第1のゲート絶縁膜33aの一部を配置することができるように、その溝52の深さと薄膜53、32、33aの堆積厚さとが定められている。

【0023】次に、図2の(5)に示すように、第2のゲート絶縁膜33b、半導体層の一部を構成する第1の半導体薄膜34およびエッチングストッパ35を連続して成膜する。その第2のゲート絶縁膜33bは、一般に用いられるSiN_x、SiO₂あるいはTaO_x等をCVD装置により気相成長させて堆積することで形成できる。この第2のゲート絶縁膜33bのゲート電極32上での厚さは第1のゲート絶縁膜33aのゲート電極32上での厚さと略等しくされ、第2のゲート絶縁膜33bとの膜厚の合計が通常のゲート絶縁膜の厚さと等しくされている。これにより、第1のゲート絶縁膜33aとしてSOGをスピンコートすることで、第2のゲート絶縁膜33bの形成に用いるCVD装置のメンテナンス周期を長くできる。その第1の半導体薄膜4は、例えば不純物をドーピングされていない水素化非晶質シリコンを100Å~1000Å程度の厚さに堆積することで形成できる。そのエッチングストッパ5は、例えばSiN_xを1000Å程度の厚さに堆積することで形成できる。

【0024】次に、図2の(6)に示すように、第1の半導体薄膜34およびエッチングストッパ35をレジストパターンを用いてエッチングすることで島状にパターニングする。

【0025】次に、図2の(7)に示すように、そのエッチングストッパ35をエッチングすることで、第1の半導体薄膜34のチャネル部に対応する部分のみをエッチングストッパ35により覆う。そのエッチングストッパ35のエッチングは、ポジレジストを基板31の裏面側(図において下方側)からゲート電極32をマスクとして露光して形成したレジストパターンを用いて行なう。

【0026】次に、図2の(8)に示すように、半導体層の残部を構成する第2の半導体薄膜36を成膜し、この第2の半導体薄膜36のチャネル部に対応する部分と画素部に対応する部分とをレジストパターンを用いてエッチングすることで除去する。その第2の半導体薄膜36はn⁺型であって、例えばリンをドーピングされたマイクロクリスタルシリコンを100Å~1000Å程度の厚さに堆積することで形成できる。次に、各ゲート絶縁膜33a、33bに画素電極54とのコンタクトホール39を形成した後に、電極用金属薄膜を成膜し、この電極用金属薄膜のチャネル部に対応する部分をレジストパターンを用いてエッチングにより除去することで、ソース電極37aとドレイン電極37bとを形成し、これにより、薄膜トランジスタ30を構成すると共にそのドレイン電極37bをコンタクトホール39を介し画素電極54に

6

接続する。その電極用金属薄膜37は、TiあるいはMoSi等を200Å~1000Å程度の厚さに堆積したり、Alを2000Å~6000Å程度の厚さに堆積することで形成できる。

【0027】上記薄膜トランジスタ30においては、基板31の表面31a側の絶縁膜29に設けられる溝52内に、ゲート電極32と第1のゲート絶縁膜33aの一部を配置し、その溝52外に第1のゲート絶縁膜33aの残部と、第2のゲート絶縁膜33bと、半導体層を構成する各半導体薄膜34、36と、ソース、ドレイン電極37a、37bを配置し、さらに、その第1のゲート絶縁膜33aとして大きな段差が生じないステップカバレッジの良いものを用いているので、ソース、ドレイン電極7a、7bおよび各半導体薄膜34、36における段差を小さくできる。これにより、ソース、ドレイン電極37a、37bの断線を防止できる。また、ゲート電極32の厚さを大きくしても、ゲート絶縁膜33a、33bに生じる段差は小さいので、ゲート絶縁膜33a、33bにおける欠陥の発生を抑制し、ゲート電極32とソース、ドレイン電極33a、33bとの間でのショートを防止できる。

【0028】また、上記第2実施例によれば、そのゲート電極32は電解メッキにより形成されるので、レジストパターンを用いてエッチングするのに比べ製造工程が短くなり、不良品発生を防止して歩留りを向上することができる。

【0029】さらに、上記第2実施例では、ゲート電極32を形成するためのメッキ電極53と画素電極54とを、単一のマスクを介し露光して形成したレジストパターンを用いてITOをエッチングすることで同時に形成している。そうすると、ゲート電極と画素電極とを相前後するエッチング工程において形成する場合は、各エッチング工程において別個のマスクを介しレジストを露光してレジストパターンを形成する必要があることから、ゲート電極と画素電極とがマスクの位置決め精度の公差だけ必要以上に離れるのに対し、メッキ電極53と画素電極54とを単一のマスクにより同時に形成することで、そのマスクの位置決め精度の公差だけゲート電極32と画素電極54とを近接させることができる。これにより、薄膜トランジスタ30と画素電極54との間の配線を短くし、液晶パネルの開口率を向上することができる。

【0030】なお、本発明は上記実施例に限定されない。

【0031】例えば、第1実施例においては基板1自体に溝22を直接形成したが、第2実施例におけるように絶縁膜に溝を設けるようにしてもよく、一方、第2実施例において基板自体に直接溝を設けるようにしてもよい。また、第1実施例において、機械研磨ではなくエッチングにより基板1の表面1aよりも上方に堆積された

7

ゲート絶縁膜3、半導体薄膜4およびエッチングストップパ5を除去することで、溝22内のゲート絶縁膜3、半導体薄膜4およびエッチングストップパ5の各上面3a、4a、5aを基板1の表面1aと面一にしてもよい。また、第1実施例においては溝22内にゲート電極2、ゲート絶縁膜3、半導体薄膜4およびエッチングストップパ5を配置したが、第2実施例におけるようにゲート電極とゲート絶縁膜の一部のみを溝内に配置し、他の構成を溝外に配置してもよい。また、第1実施例では溝22内のゲート絶縁膜3、半導体薄膜4およびエッチングストップパ5の各上面3a、4a、5aを基板1の表面1aと面一にしているが、第2実施例におけるように面一にすることは必須ではない。また、第2実施例ではゲート絶縁膜をステップカバレッジのよい第1のゲート絶縁膜33aと一般に用いられる第2のゲート絶縁膜33bとで構成したが、一般に用いられるゲート絶縁膜のみで構成してもよい。また、エッチングストップパ3、35は必須ではなく、その場合は第1の半導体薄膜4、34をエッチングによる減少を見込んで3000Å程度に堆積するのが好ましい。

【0032】

【発明の効果】本件各発明の薄膜トランジスタによれば、ソース、ドレイン電極および半導体層に大きな段差ができることはないので、断線を防止でき、また、ゲ-

8

ト絶縁膜における欠陥の発生を抑制してゲート電極とソース、ドレイン電極との間でのショートを防止でき、歩留りを向上することができる。さらに、本件第2発明の薄膜トランジスタによれば、基板に設けられる溝内にゲート電極を電解メッキにより形成することで、製造工程を短くして不良品発生を防止して歩留りを向上することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の薄膜トランジスタの製造工程の説明図

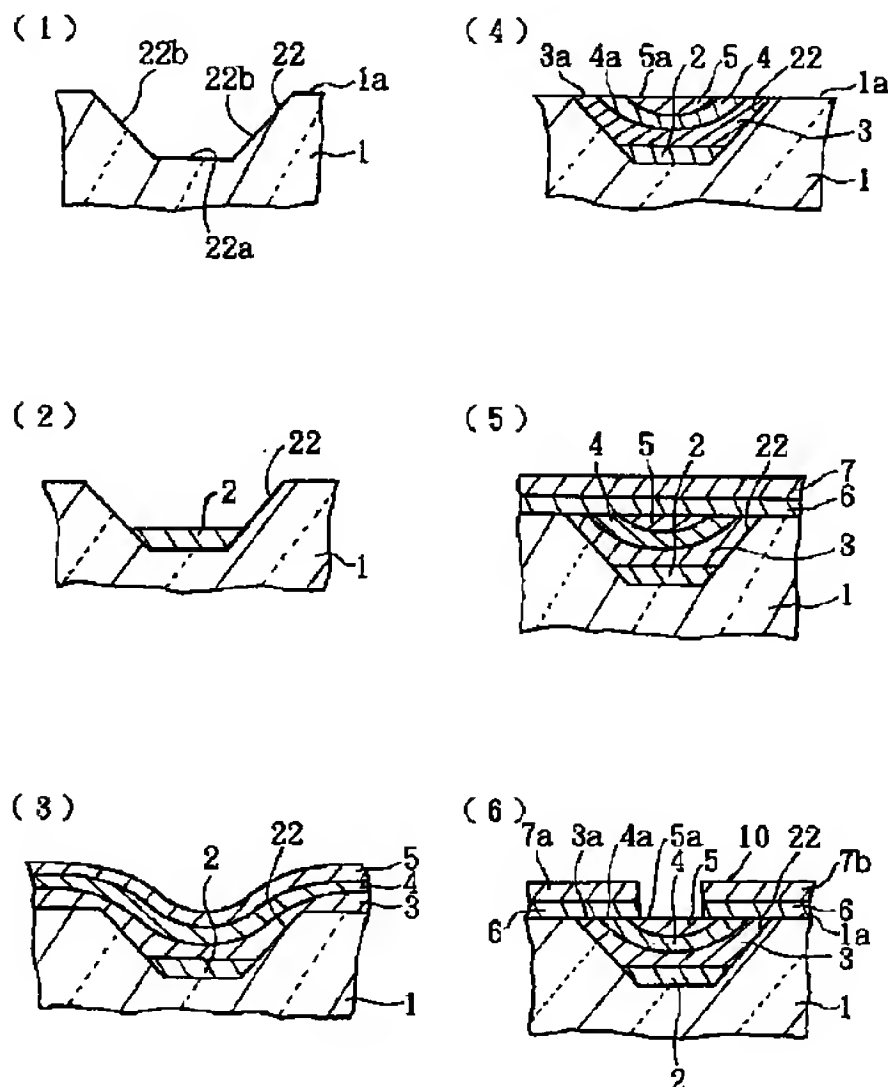
【図2】本発明の第2実施例の薄膜トランジスタの製造工程の説明図

【図3】従来の薄膜トランジスタの構造説明図

【符号の説明】

- 1、31 基板
- 2、32 ゲート電極
- 3、33a、33b ゲート絶縁膜
- 4、34 第1の半導体薄膜
- 6、36 第2の半導体薄膜
- 7a、37a ソース電極
- 7b、37b ドレイン電極
- 22、52 溝
- 53 メッキ電極

【図1】



【図3】

